

AL

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

010052461 **Image available**

WPI Acc No: 1994-320172/199440

XRPX Acc No: N94-251621

Semiconductor device forming three-dimensional structure - has electrodes
of two or more vertically mounted semiconductor devices connected to
electrode pads on circuit board via wires NoAbstract

Patent Assignee: MATSUSHITA DENKI SANGYO KK (MATU)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6244360	A	19940902	JP 9327707	A	19930217	199440 B

Priority Applications (No Type Date): JP 9327707 A 19930217

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6244360	A	4	H01L-025/065	

Abstract (Basic): JP 6244360 A

Dwg.1/4

Title Terms: SEMICONDUCTOR; DEVICE; FORMING; THREE-DIMENSIONAL;
STRUCTURE; ELECTRODE; TWO; MORE; VERTICAL; MOUNT; SEMICONDUCTOR;
DEVICE; CONNECT; ELECTRODE; PAD; CIRCUIT; BOARD; WIRE; NOABSTRACT

Derwent Class: U11; U14

International Patent Class (Main): H01L-025/065

International Patent Class (Additional): H01L-025/07; H01L-025/18

File Segment: EPI

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

04572460 **Image available**

SEMICONDUCTOR DEVICE

PUB. NO.: 06-244360 [JP 6244360 A]

PUBLISHED: September 02, 1994 (19940902)

INVENTOR(s): YOSHIDA TAKAYUKI

HATADA KENZO

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company
or Corporation), JP (Japan)

APPL. NO.: 05-027707 [JP 9327707]

FILED: February 17, 1993 (19930217)

INTL CLASS: [5] H01L-025/065; H01L-025/07; H01L-025/18

JAPIO CLASS: 42.2 (ELECTRONICS – Solid State Components)

JOURNAL: Section: E, Section No. 1637, Vol. 18, No. 629, Pg. 5,
November 30, 1994 (19941130)

ABSTRACT

PURPOSE: To realize three-dimensional stacked mounting which enables chips to be stacked, so that only the thickness thereof affects the thickness of the overall assembly by forming semiconductor elements, which will be stacked, with the periphery thereof made thinner than the center thereof, by forming an electrode pad, to which leads and wires are connected, around the periphery, and by connecting the electrode pad to a circuit board.

CONSTITUTION: A first chip 2 is bonded to a wiring board 1, and corresponding electrodes on the chip and the board are electrically connected to each other by wires. Peripheries around the rear surfaces of second and third chips 3, which will be stacked on the first chip, are cut by a dicer to create a stepped portion 6. The second and third chips 3 are stacked on the chip 1, and corresponding electrodes on the chips and the board are connected to each other by wires 4. Finally, the entire device is sealed by insulating resin. Thereby, the three dimensional mounting of the semiconductor elements 2 and 3 onto the wiring board 1 is completed. Hence, it is possible to unify shapes of semiconductor elements to be used into one type, and it is possible to omit the operation of identifying the shape of semiconductor elements carried out during automatic assembly.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-244360

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl.
H 01 L 25/065
25/07
25/18

識別記号 庁内整理番号

F I

技術表示箇所

H 01 L 25/08

Z

審査請求 未請求 請求項の数1 O.L. (全4頁)

(21)出願番号 特願平5-27707

(22)出願日 平成5年(1993)2月17日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 吉田 隆幸

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 畑田 賢造

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 小銀治 明 (外2名)

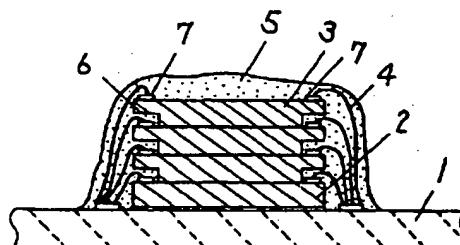
(54)【発明の名称】 半導体装置

(57)【要約】

【構成】 複数個の半導体素子2、3を回路基板1に積層してなる半導体装置であって、積層される半導体素子3は、その周縁部が中央部に対して薄肉に形成された段差6を有し、この周縁部にはワイヤ4が接続される電極パッド7が形成されており、このように構成された半導体素子を積層すると共に、前記電極パッド7に接続されたワイヤを前記回路基板1に接続したことを特徴とする半導体装置。

【効果】 チップのパッシベーション膜をチップ間の絶縁膜に利用することにより厚さの薄い3次元積層実装体を実現できる。

- 1 配線基板
- 2 第一(最下段)の半導体素子
- 3 2段目以降の半導体素子
- 4 ワイヤ
- 5 絶縁封止樹脂
- 6 段差
- 7 電極パッド



【特許請求の範囲】

【請求項 1】複数個の半導体素子を回路基板に積層してなる半導体装置であって、積層される半導体素子は、その周縁部が中央部に対して薄肉に形成されると共に前記周縁部にはリード、またはワイヤが接続される電極パッドが形成されており、このように構成された半導体素子を積層すると共に、前記電極パッドに接続されたワイヤもしくはリードを前記回路基板に接続したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置に関し、特に半導体実装技術における半導体素子の積層実装技術に関するものである。

【0002】

【従来の技術】近年、電子機器は高性能化、高機能化、小型化が著しく、そこに実装される半導体素子も高性能化が進み、また高密度実装されることが要求されている。このため、半導体素子を3次元的に実装するという要求がIC、メモリーカードに代表される薄型、大容量機器において顕著になってきている。

【0003】以下図面を参照しながら、上記した従来の半導体素子の3次元実装方法の一例について説明する。

【0004】図3は従来の3次元実装の断面構成図を示すものである。図3において、41は配線基板、42は複数の半導体素子（または、単にチップと呼ぶこととする）、43は実装に用いられたTABリード、44は全体の封止に用いられた絶縁封止樹脂である。

【0005】図4において、図3の実装体の組立方法を説明する。まず図4(a)に示すように、複数の半導体素子42に転写バンプ法によりTAB用フィルムキャリア45のインナーリード46を接続する。その後、複数の半導体素子42のそれぞれの非共通端子のTAB用フィルムキャリアのアウターリード47を切断する。次に、TABフィルムキャリア45に実装された半導体素子42を配線基板41の電極パッド48とTABフィルムキャリア45のアウターリード47を位置合わせし積層する。その後、ポンディングツール49によりアウターリード47と配線基板41の電極パッド48を一括に加圧、加熱し接合する。最後に、アウターリード47の外側のテープ部分を取り除き、絶縁樹脂44により全体を封止することにより、図3に示す3次元の実装体が完成する。この様な製造方法は、例えば特開平2-290048号公報に記載されている。

【0006】

【発明が解決しようとする課題】しかしながら上記のような構成では、アウターリード47と配線基板41の電極パッド48とを正確に位置合わせしなければならず、またアウターリード47のポンディングにも特殊なポンディングツール49を使用しなければならないといった

問題点があり、またチップ間の絶縁層が必要であり、インナーリード46および層間絶縁樹脂の分だけ全体の厚みが厚くなるといった問題を有していた。

【0007】本発明は上記問題点に鑑み、複雑な位置合わせ工程を必要とせず、チップの厚みのみでチップ積層が可能な3次元実装形態を提供するものである。

【0008】

【課題を解決するための手段】上記問題点を解決するために本発明では、一主面の電極パッドにリード、またはワイヤが接続された構造を持つ半導体素子片の、他面の少なくとも電極パッド領域が切削され、他の部分に対し薄くなるように段切りが形成された半導体素子片の複数個を積層し、前記電極パッドに接続されたリードを回路基板に接続した半導体装置を提案する。このとき、第一の半導体素子片の第一の段部に第二の半導体素子片の電極パッドと共に接続されたリードの一部が配置される。

【0009】

【作用】本発明は上記した構成により、チップの積層において、第一の半導体素子片の第一の段部に第二の半導体素子片の電極パッドと共に接続されたリードの一部を配置する構成を繰り返すため、また、チップのバッシャーン膜をチップ間の絶縁膜に利用することによりチップ厚さのチップ3次元積層実装を可能とすることができる。

【0010】

【実施例】以下本発明の一実施例について、図面を参照しながら説明する。

【0011】図1は本発明の実施例における3次元実装形態の断面図を示すものである。図1において、1は配線基板、2は第1の半導体素子（または、単にチップと呼ぶこととする。）、3は第1のチップの上に積層される裏面が切削された複数のチップ、4はワイヤ（実施例ではリードではなくワイヤを用いた場合をモデルに説明する。）、5は絶縁封止樹脂、6は切削された段部を表す。

【0012】以上のように構成された半導体装置の組立工程について、以下図2を用いて説明する。

【0013】図2(a)に示すように、第1のチップ2（裏面が切削されていないかもまわない）を配線基板1に接着し、対応する電極どうしをワイヤにより電気的に接続する。次に、図2(b)に示す様に、第1のチップ上に積載される第2、第3といったチップ3の裏面周縁部をダイサーにより切削し、段部6を形成する。ワイヤ4が接続される電極パッド7は、この周縁部に形成されている。その後、図2(c)に示すように、この第2、第3のチップ3をチップ1上に積層し、対応する電極どうしをワイヤにより接続する。図2(d)は、図2(c)の上面図である。最後に、図2(e)に示すように、全体を絶縁樹脂により封止する。これにより半導体

素子2、3の配線基板1への3次元的実装が完了する。
【0014】なお、本実施例では、第2、3のチップは、第1のチップを基板上に載置した後に段差を形成しているが、第1のチップを基板上に載置する前に予め段差を形成しておいても勿論かまわない。

【0015】また、上記実施例においては、第2、3のチップにおける電極パッドは平坦な主面側に形成されているが、段差6側に形成してもよいことは勿論である。更には、図2における最下層のチップ2においても、周縁部に段差があつても何等差し支えはなく、そうすることにより、使用する半導体素子の形状を一種類に統一することができるので、自動組立における半導体素子の形状判別操作が省略できる等の利点が得られる。

【0016】

【発明の効果】以上のように本発明では、一主面の電極パッドにリード、またはワイヤが接続された構造を持つ半導体素子片の、他面の少なくとも電極パッド領域が他の部分に対し薄くなるように段切りが形成された半導体素子片の複数個を第一の半導体素子片の第一の段部に

第二の半導体素子片の電極パッドとこれに接続されたリードの一部が配置されるように積層し、前記電極パッドに接続されたリードを回路基板に接続した半導体装置を提案することにより、チップの積層においてチップのバッシベーション膜をチップ間の絶縁膜に利用することによりチップ厚さのチップ3次元積層実装を可能とすることができる。

【図面の簡単な説明】

【図1】本発明の一実施例における半導体素子の構成を示す断面図

【図2】同実施例半導体素子の製造工程図

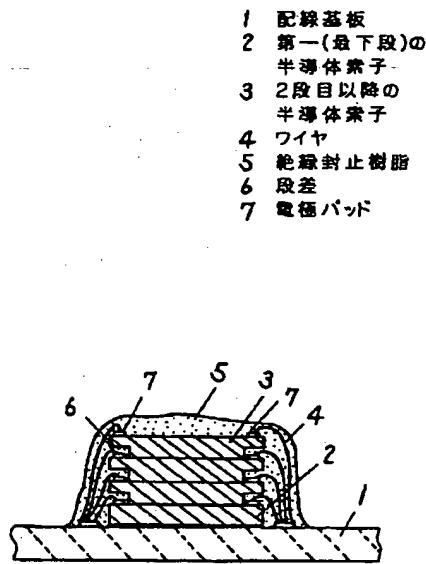
【図3】従来例における半導体素子の構成を示す断面図

【図4】同従来例半導体素子の製造工程図

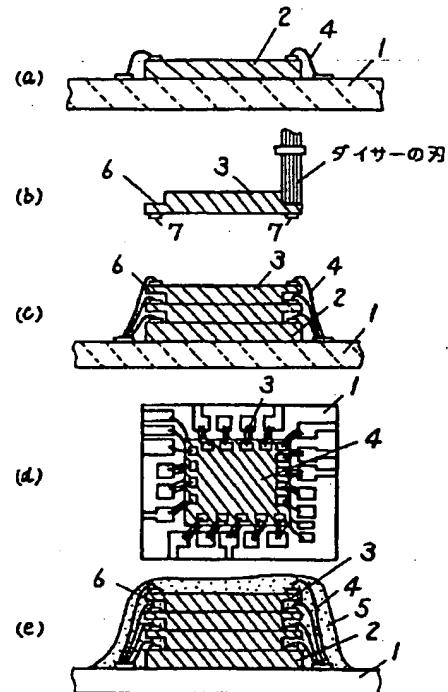
【符号の説明】

- 1 配線基板
- 2 第一(最下段)の半導体素子
- 3 2段目以降の半導体素子
- 4 ワイヤ
- 5 絶縁封止樹脂
- 6 段差
- 7 電極パッド

【図1】

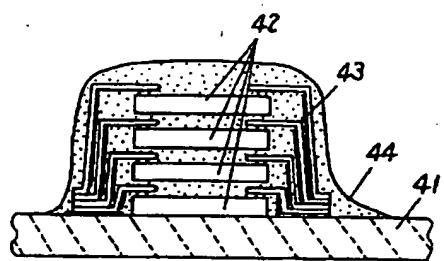


【図2】



【図3】

41 計基板
42 半導体素子
43 TABリード
44 絶縁封止樹脂



【図4】

46 インナーリード
47 アウターリード
48 配線基板の電極パッド

